

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05122496 A**(43) Date of publication of application: **18.05.93**

(51) Int. Cl.

H04N 1/387
G06F 15/62
G06F 15/66
G06K 19/077
H04N 1/00

(21) Application number: **03279848**(22) Date of filing: **25.10.91**(71) Applicant: **CANON INC**(72) Inventor: **SUZUKI YOSHIYUKI**(54) **IMAGE SYNTHESIZER**

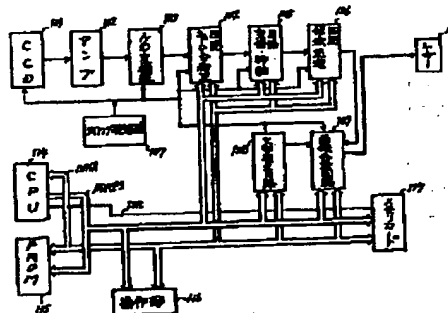
(57) Abstract:

PURPOSE: To efficiently obtain a synthetic image in which an arbitrary image is synthesized with an original image by storing the synthetic image to be stored in a memory card by applying image compression processing.

CONSTITUTION: The image information of an original is converted to an electrical signal by a CCD 101, and is stored in the memory card 1 after applying compression, and the image information expanded by reading out from the memory card 117 is synthesized with the image information of the original further outputted by the CCD 101. In other words, trimming and masking processing, etc., are performed at an area processing circuit 106, and the output signals of them are inputted to an image synthesis circuit 109, then, compression and expansion processing is applied to them. A compressed image signal is stored once in the buffer memory of the compression and expansion circuit 109, and after that, it is transferred to the memory card 117 by a CPU 114. Meanwhile, when the expansion processing is performed, the image reproduction of the synthetic image can be realized by transferring the signal to the buffer memory by the CPU 114, synthesizing it with an image to be

synthesized, and driving a laser 113 according to a synthetic image signal.

COPYRIGHT: (C)1993,JPO&Japio



引用文献 1

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-122496

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 1/387

8839-5C

G 0 6 F 15/62

A 8125-5L

15/66

4 5 0

8420-5L

G 0 6 K 19/077

8623-5L

G 0 6 K 19/ 00

L

審査請求 未請求 請求項の数5(全12頁) 最終頁に続く

(21)出願番号

特願平3-279848

(22)出願日

平成3年(1991)10月25日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 鈴木 良行

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

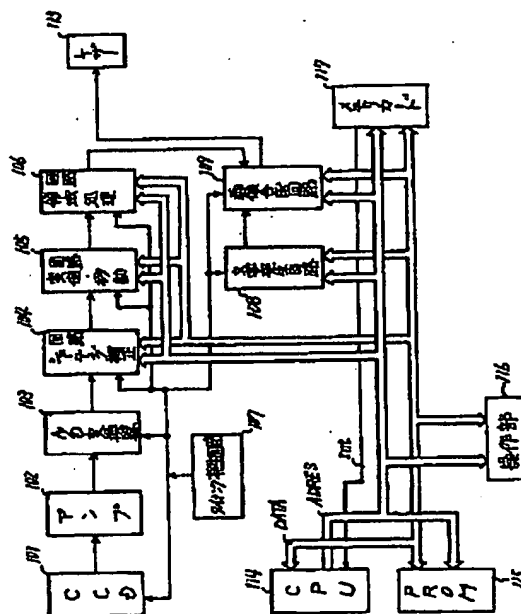
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】 画像合成装置

(57)【要約】

【目的】 原稿画像に任意の画像を合成した合成画像を効率よく得ること。

【構成】 原稿の画像情報をCCD101によって電気信号に変換し、圧縮してメモ리카ード117に記憶し、CCD101によって更に出力された原稿の画像情報にメモ리카ード117から読み出されて伸長された画像情報を合成する。



(2)

特開平5-122496

【特許請求の範囲】

【請求項1】 原稿の画像情報を光電変換素子上に結像して電気信号に変換する画像読取手段と、第1の原稿の読取画像信号を処理する第1の処理手段と、前記第1の処理手段で処理された画像信号を記憶する着脱可能な記憶手段と、前記記憶手段に記憶された画像信号を処理する第2の処理手段と、前記第2の処理手段で処理された画像信号と第2の原稿の読取画像信号とを合成する手段とを有することを特徴とする画像合成装置。

【請求項2】 請求項1において、前記第1の処理手段は画像圧縮処理であり、前記第2の処理手段は画像伸張処理であることを特徴とする画像合成装置。

【請求項3】 請求項1において、着脱可能な前記記憶手段には合成時の原稿画像信号に対する画像編集情報が記憶されており、前記記憶手段を装置に装着時に画像編集情報を読み込んで、編集モードを自動的に設定することを特徴とする画像合成装置。

【請求項4】 請求項1において、文字画像信号を発生する手段を有しており、合成時に画像編集情報として記憶された指示に従って文字画像信号を発生して、第1の読取画像信号及び第2の読取画像信号と合成することを特徴とする画像合成装置。

【請求項5】 請求項1において、前記第1の処理手段及び第2の処理手段をバイパスする手段を有することを特徴とする画像合成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、メモリーカード等の着脱可能な記憶手段に定型画像をデータ圧縮して記憶しておき、記憶されたデータを伸張しながら原稿画像と合成を行う画像合成装置に関するものである。

【0002】

【従来の技術】 現在、原稿の画像情報をCCD等の光電変換素子によって電気信号に変換し、画像加工処理を行ったのちに、電子写真プロセスによって画像形成を行うデジタル複写機が開発、発売されている。

【0003】 また、複写機にメモリーカードのような着脱可能な記憶装置を装着し、これに定型の文字やマーク等の画像信号を記憶しておき、コピー動作時に読み取られた画像信号と合成した出力画像を得ることのできる装置も開発されている。

【0004】

【発明が解決しようとしている課題】 しかしながら、従来例では合成する画像としては、メモリーカードの容量の制限から通常のコピー画像全域に対して合成することはできず、その応用も限られていた。

【0005】 また、そのような機能を使用する場合、オペレータはその出力位置などを毎回操作部やデジタイザ等で指示しなければならず、操作性がよいとは言えなかった。

【0006】

【課題を解決するための手段】 そこで、本発明においてはメモリーカードに記憶する合成画像を画像圧縮して記憶することで、A4ないしA3のコピーの全面領域をカバーしようとするものである。

【0007】 また、画像合成する際に変倍、移動等の画像編集処理が必要な場合は、その情報も同一メモリーカードのメモリ上に記憶させて、メモリーカードを装置に装着時にその情報を複写装置本体に読み込んでそれに対応した複写モードを自動的に設定するようにすることで、操作性を向上させようとするものである。

【0008】

【実施例】 図1～図6を用いて本発明の実施例を説明する。

【0009】 図1はレーザーを用いた電子写真方式のデジタル複写機の画像処理回路を示したブロック図である。

【0010】 原稿の画像情報はCCD101上に結像された電気信号に変換される。CCDの駆動及び以降の画像処理のためのタイミング信号はタイミング発生回路107で生成され各部に供給される。

【0011】 画像信号はアンプ102で増幅された後A/D変換器103でデジタル信号に変換される。デジタル画像信号はシェーディング回路104で照明むらやCCD感度むらなどのシェーディング歪が補正される。シェーディング補正のための補正係数は、シェーディング補正回路104を通して得た標準白色信号を、データバスDATA及びアドレスバスADRESを経由してCPU114に取り込んでこれを基に算出され、算出結果はシェーディング補正回路104のメモリに記憶される。

【0012】 シェーディング補正された画像信号は変倍・移動回路105で変倍・移動の処理が行われる。変倍率や移動距離等のパラメータは、操作部116で入力されたCPU114によって設定される。

【0013】 次に、トリミング・マスキング等の処理が領域処理回路106で行われ、その出力信号は画像合成回路に入力され圧縮・伸張処理される。圧縮された画像信号は、一旦圧縮・伸張回路109のバッファメモリ204、205に記憶された後CPU114によってメモリーカード117に転送される。

【0014】 このメモリーカード117はバッテリーバックアップ等により不揮発性のメモリとなっていて、本体より取り外してもその記憶データが失われることはない。

【0015】 一方、伸張処理の場合はCPU114によってバッファメモリ204、205に転送され被合成画像と合成され、合成画像信号に応じてレーザー113を駆動することで合成画像の像再生を実現する。

【0016】 画像合成回路109の詳細を図2を用いて説明する。

【0017】 領域処理回路106からの画像信号Vin

(3)

特開平5-122496

は圧縮回路201で画像の白画素/黒画素の連続長を基にコード化するランレングス方式で圧縮される。圧縮コードD0は双方向のセクタ回路203のX入力に入力され、セレクト信号C1、C2に応じてバッファメモリ204もしくはバッファメモリ205に入力される。

【0018】ここで、セクタ回路203のC1、C2と

表 1

(C1,C2)	(0,0)	(0,1)	(1,0)	(1,1)
X	X→D1	X→D2	D1→X	D2→X
D	D2→D	D1→D	D→D2	D→D1

【0020】なお、C1、C2は、CPU114によってデータバスDATAのデータをラッチ210でラッチすることで設定する。ラッチのタイミング信号は、CPU114のライト信号WRとイネーブル信号CSの論理和をORゲート209でとった信号である。ラッチ210の出力CE0、CE1がC1、C2にそれぞれ対応している。

【0021】一方、バッファメモリに対するアドレスは、圧縮回路201で画像信号の変化点に同期したクロックCCLK1が発生されアドレスクロックセクタ208を経由してアドレスカウンタ207に入力され、クロックの立ち上がり同期してアドレス値が1つつ増加する。このアドレスデータはアドレスセクタ206

表 2

(C1,C2)	(0,0)	(0,1)	(1,0)	(1,1)
Y	Y→A1	Y→A2	Y→A1	Y→A2
A	A→A2	A→A1	A→A2	A→A1
T0	CCLK1	CCLK1	DCLK	DCLK

【0025】バッファメモリに記憶されたデータはCPU114によってメモ리카ード117に転送される。

【0026】表1及び表2からわかるように、バッファメモリ204、205の動作はそれぞれ独立しており、C1、C2を制御することでバッファメモリ204に圧縮データを書き込みながら、バッファメモリ205のデータをメモ리카ード117に転送することができるし、その逆に、バッファメモリ205に圧縮データを書き込みながら、バッファメモリ204のデータをメモ리카ード117に転送することができる。すなわち、この動作を繰り返すことで、バッファメモリ204、205の容量よりも大きい画像データをメモ리카ード117に転送することが可能となる。

【0027】次に、メモ리카ード117の圧縮データを伸張して画像合成を行うまでを説明する。メモ리카ード117に記憶された圧縮データは、表1及び表2に示したように、双方向データセクタ203及びアドレスセ

信号のフローの関係は表1の通りであり、(C1、C2) = (0、0)の時バッファメモリ204へ、(C1、C2) = (0、1)の時バッファメモリ205へ記憶される。

【0019】

【表1】

を通してバッファメモリ204、205に入力され、クロックCCLK1をライト信号として圧縮データの書き込みが行われる。

【0022】ここで、アドレスカウンタ207のカウント値の初期設定は、ラッチ210の出力CE0に同期してCPU114によって行われる。

【0023】なお、アドレスセクタ206のデータフローは表2の通りであり、(C1、C2) = (0、0)の時バッファメモリ204にアクセスされ、(C1、C2) = (0、1)の時バッファメモリ205にアクセスされる。

【0024】

【表2】

クタ206に対する制御信号C1、C2に応じて、CPU114によってバッファメモリ204もしくはバッファメモリ205に転送される。

【0028】同時に、バッファメモリ204、205のデータは伸張回路202へ入力されるが、コードデータの伸張処理が完了する毎に発生するクロックDCLKが、クロックセクタ208を経由してアドレスカウンタ207を1つつカウントアップしてバッファメモリの次のアドレスをアクセスして次のコードデータ処理が行われる。

【0029】伸張回路202からの画像データはORゲート211で原稿の画像データと合成されてレーザー113に出力される。

【0030】(圧縮回路201の説明)図3、図4で圧縮回路201の詳細について説明する。

【0031】本実施例の圧縮方式は、黒または白画素が連続して何画素続くかをコード化するランレングス方式

(4)

特開平5-122496

であり、本実施例ではその画素長をそのまま圧縮コードとしている。またビット長はCPU114のデータ長の関係から16ビット/コードとする。図3は回路ブロック図、図4はそのタイミングチャートである。

【0032】画像信号VinはDフリップフロップ（以下DF/Fと記述する）301で画素クロックVCLKに同期して保持され、その反転出力とその入力信号の排他論理和をEXORゲート302で演算し、その出力信号CLOADはカウンタ304のロード端子に接続される。この信号CLOADは画像信号Vinの変化画素でLとなり、このタイミングでカウンタ304に“1”をセットする。

【0033】カウンタ304は次の画像信号Vinの変化点にくるまで画素クロックVCLKに同期してカウントアップする。そして、カウンタ304のカウント値は、次の画像信号Vinの変化点で発生するクロックCCLK1の立ち上がり同期してDF/F305に保持され、圧縮データD₀として出力される。

【0034】クロックCCLK1は、信号CLOADと画素クロックVCLKとの論理和をORゲート303で演算したクロックCCLK2と、クロックCCLK3との論理積をANDゲート306で演算した信号である。データD₀のバッファメモリへの書き込みは、その次の画像信号Vinの変化点で発生するクロックCCLK1に同期して行われる。

【0035】クロックCCLK3は、ラインの最終データをバッファメモリに書き込むために発生する信号であり、ライン同期信号LSYNCCをDF/F310で1画素クロック遅延させた反転出力と、ライン同期信号LSYNCC、画素クロックVCLKとの論理和をORゲート312で演算した信号である。

【0036】本実施例の圧縮方式では1ラインが単位になっており、ライン同期信号LSYNCCの立ち下がり同期してライン終了のコードであるEOLコードがバッファ309よりD₀として出力され、圧縮データとの切り換えはDF/F305に対する出力制御信号OE1とバッファ309に対する出力制御信号OE2とを切り換えることで実現する。OE2はライン同期信号LSYNCCをDF/F310、311で2画素クロック分遅延された信号と、ラッチ210の出力CE3のOR308出力である。

【0037】一方、OE1はDF/F311の反転出力とCE3とのOR307出力である。ここで、CE3は画像データを圧縮処理する場合は“L”とセットされ圧縮データD₀は出力許可状態となり、一方、双方向データセレクト203から伸張回路202にデータが転送される場合は“H”にセットされて、圧縮データD₀はハイインピーダンス状態となる。

【0038】（伸張回路202の説明）図5、図6で伸張回路202の詳細について説明する。図5は回路ブ

ック図、図6はそのタイミングチャートである。

【0039】バッファメモリ204、205からの圧縮データDiは、ダウンカウンタ320にロードされて、画素クロックVCLKに同期してカウントダウンされる。ダウンカウンタ320のカウント値DCNTは、コンパレータ321に入力されDCNT=1の時のコンパレータ321の出力DLOADは“L”となる。出力DLOADはAND回路323を経由してダウンカウンタ320のロード端子に入力され、DLOADが“L”のタイミングで圧縮データDiの次のデータをダウンカウンタ320にロードする。

【0040】DLOADは画素クロックVCLKに同期したJKフリップフロップ（以下JKF/Fと記述）324の反転J、K端子に入力され、JKF/FはDLOAD=“L”の時その出力Doutを反転させる。

【0041】すなわち、出力Doutは圧縮データDiの値に応じた画素クロックVCLK毎に反転することになり、画像信号の復号化が実現される。

【0042】また、JKF/F324の出力は、ラッチ210の出力CE5によって制御され、CE5=“L”の時出力許可状態となり、CE5=“H”の時はハイインピーダンス状態となる。

【0043】次に、EOLコードの処理について説明する。圧縮データDiとしてEOLコードがダウンカウンタ320にロードされると、コンパレータ322の出力DEOLが“L”となる。出力DEOLはRSフリップフロップ（以下RSF/Fと記述）328の反転S端子に入力され、画素クロックVCLKに同期して反転出力ELOADを“L”とする。

【0044】ELOADは前述のDLOADとANDゲート323で合成されてダウンカウンタ320のロード信号となる。出力ELOADは伸張回路用のライン同期信号LSYNCDをインバータ327で反転した信号をRSF/F328の反転R端子に入力することで解除され“H”となる。

【0045】アドレスカウンタ207のカウントアップクロックDCLKはLSYNCDの反転信号、DLOADとDEOLとの論理積をANDゲート325で演算し、その結果と画素クロックVCLKとの論理和をORゲート326で演算したものであり、ダウンカウンタ320のカウント値DCNTが“1”もしくはEOLコードとなったとき、及びライン同期信号LSYNCDが“H”となったときに出力される。

【0046】以上、本実施例に於ては、圧縮方式としてランレングス方式を用いて説明してきたが、ファクシミリ通信に用いられるMH、MR、MMRも同様に採用できる。

【0047】図7は、以上の実施例構成により達成される具体例を示している。図7(a)はファクシミリ送信用の定型フォーマットであり、領域Aが送信文の記入領

(5)

特開平5-122496

域である。図7(b)はファクシミリ送信する分面である。図7(c)は(a)と(b)を合成した出力結果である。

【0048】まず、(a)のフォーマット画像が読み取られ、圧縮回路201で圧縮処理される。圧縮データはバッファメモリ204、205を経由してメモリカード117に記憶される。

【0049】次に、(b)の送信文が書かれたシートが読み込まれ、この読み込み動作に同期して、メモリカード117に記憶された圧縮フォーマットデータがバッファメモリ204、205を介して伸張回路202で伸張され、送信文データと合成され(c)が得られる。

【0050】この時、(a)の送信文の書き込み領域Aは $X_f \times Y_f$ で、(b)の $X_o \times Y_o$ よりも小さいので、合成の際には(b)を縮小処理と移動処理を要倍・移動回路105で行う必要がある。

【0051】このための縮率 X_f/X_o (または Y_f/Y_o の小さい方)と移動距離データ(X_m, Y_m)は、合成処理をする際にあらかじめ複写装置に設定しなければならない。しかし、この設定値は、フォーマット画像に合成する送信文のサイズが常に一定であるとすれば、合成処理の度に設定を行うことは効率が良くない。

【0052】そこで、この設定値をフォーマット画像データが記憶されたメモリカードのあらかじめ決められたアドレスに、あらかじめ決められた形式で記憶しておく。また、メモリカードが複写装置本体に装着されたことを検知する信号 Int をCPU114の割り込み端子に入力しておく。

【0053】そして、メモリカード117が本体に装着されたら、割り込み処理によってメモリカード上に記憶された処理内容とその設定値を自動的に読み込んで装置に設定する。この様にする事で、メモリカードを複写装置に装着するだけで合成画像を得ることができる。

【0054】図8は、文字発生回路108によって発生した日付情報をフォーマット画像に付加して合成したものである。

【0055】この場合、日付を合成するという情報とその合成位置に関する情報もメモリカード上に記憶されていて、メモリカードを本体装着時にその情報をCPU114は画像処理情報とともに読み込む。

【0056】日付けの他に、時間、電話番号、頁等の情報ならば、簡単な英数字を発生できる文字発生回路があれば合成することができる。

【0057】前述の実施例に於て示したフォーマット画像でありランレングス方式に選した画像ともいえる。しかし、写真等の連続画像の再現性を維持するためにデ

ィザ処理された画像をランレングス方式で圧縮すると、かえって基の画像よりデータ量が増大してしまう可能性がある。

【0058】そこで、画像合成回路109にデータを圧縮するかしないかの選択する手段を設け、圧縮せずにメモリカードに記憶された画像データを合成する場合に、伸張回路をバイパスするような手段を併せて設けた。

【0059】図9は、本実施例を説明するための回路ブロック図であり、図中の符号で図2と同一の機能を有するブロックは同一の符号をつけた。

【0060】画像信号 V_{in} は2値信号であるから、圧縮データとのビット長を合わせるために、シリアル/パラレル変換回路212で16画素を単位としたパラレルデータに変換する。

【0061】この回路からは、16画素毎にアドレスカウンタ207のカウントアップクロック $PCCLK$ が発生する。圧縮/非圧縮データの選択は、ラッチ210の出力 $CE2$ 、 $CE3$ で制御される。 $CE2 = "L"$ 、 $CE3 = "H"$ の時、圧縮回路201の出力はハイインピーダンス状態となって非圧縮データがメモリカードに記憶され、 $CE2 = "H"$ 、 $CE3 = "L"$ の時、シリアル/パラレル変換回路212の出力がハイインピーダンス状態になって圧縮データがメモリカードに記憶される。

【0062】一方、画像合成の場合はメモリカード117に記憶された画像データがバッファメモリ204、205を経由してパラレル/シリアル変換回路213で16画素を単位として2値画像信号 V_{out} に変換される。

【0063】この回路からは、1データが16画素の画像データに変換される毎にアドレスカウンタ207のカウントアップクロック $SCCLK$ が発生する。ラッチ210の出力 $CE4$ 、 $CE5$ によって出力が制御される。 $CE4 = "L"$ 、 $CE5 = "H"$ の時、伸張回路202の出力はハイインピーダンス状態となってシリアル変換出力が合成信号 V_{out} となり、 $CE4 = "H"$ 、 $CE5 = "L"$ の時、パラレル/シリアル変換回路213の出力がハイインピーダンス状態になって伸張出力が合成信号 V_{out} となる。

【0064】カウントアップクロックの切り替えはクロックセクタ214で、ラッチ210の出力 $CE2$ 、 $CE3$ 、 $CE4$ 、 $CE5$ を切り替え信号として表3の如く実現される。

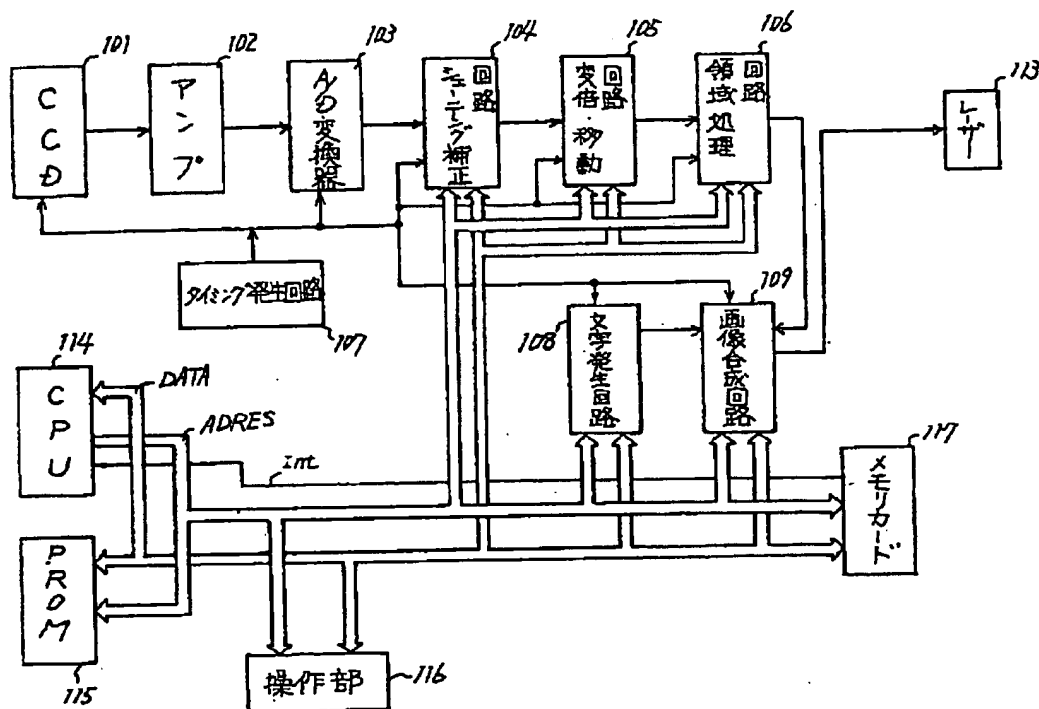
【0065】

【表3】

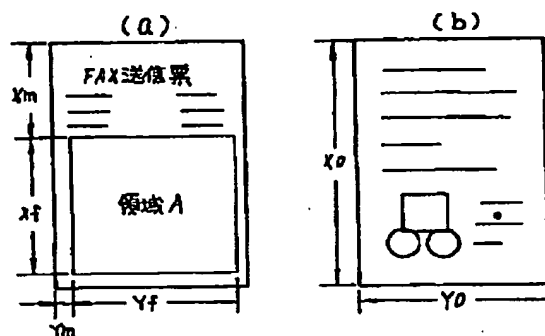
(7)

特開平5-122496

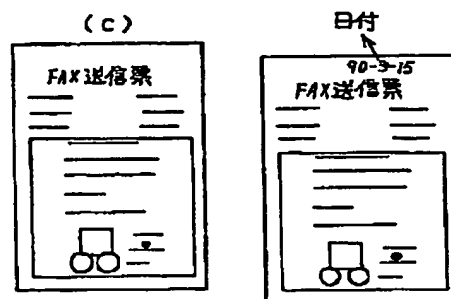
【図1】



【図7】



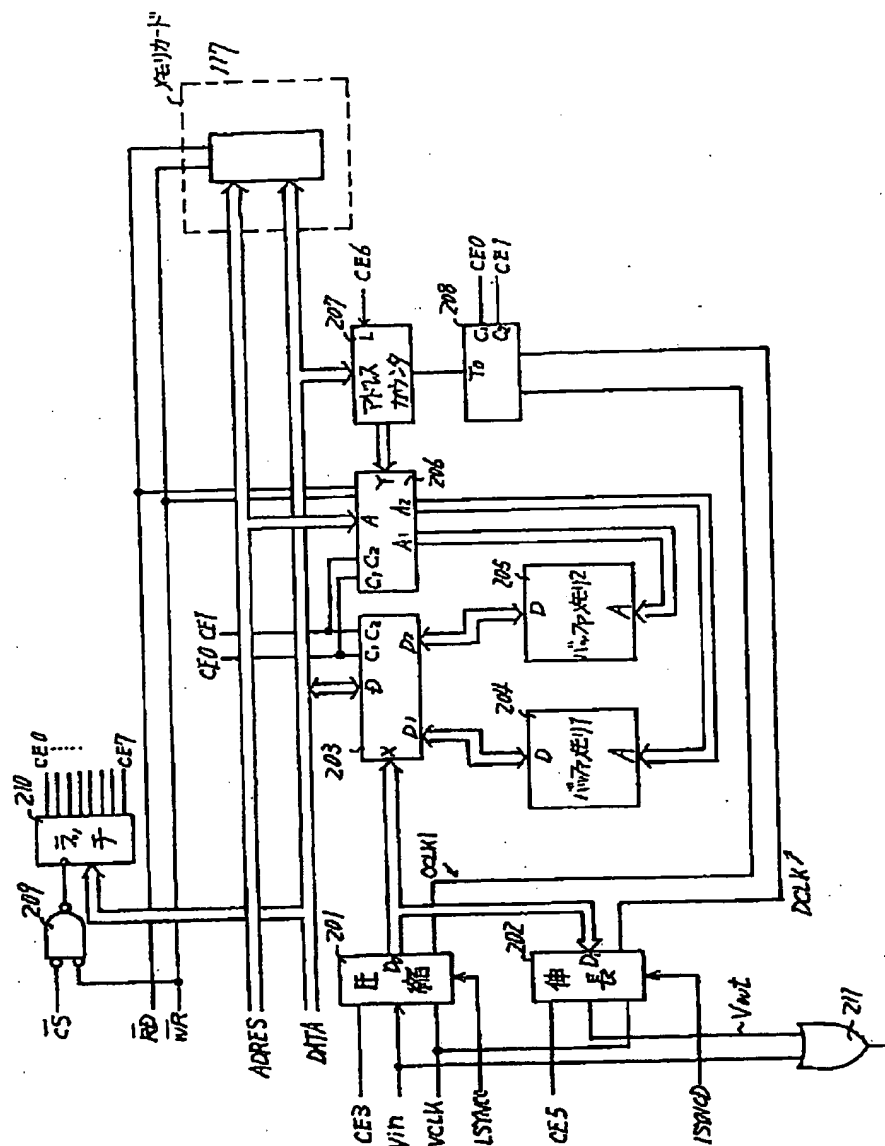
【図8】



(8)

特開平5-122496

【図2】



(9)

特開平5-122496

【図3】

